



日 本 国 特 許 庁  
JAPAN PATENT OFFICE

CFO 15684 VS / Shi

09/31, 287

GAU: 2171

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 6月19日

出 願 番 号

Application Number:

特願2001-184981

出 願 人

Applicant(s):

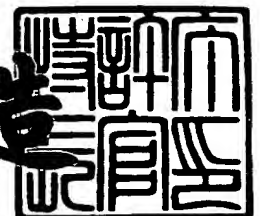
キヤノン株式会社



2001年 9月 4日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3081587

【書類名】 特許願

【整理番号】 4162034

【提出日】 平成13年 6月19日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 13/00

【発明の名称】 省電力移行制御装置、情報処理装置、省電力移行制御方法及び記憶媒体

【請求項の数】 28

【発明者】

    【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社  
社内

    【氏名】 美辺 央希

【発明者】

    【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社  
社内

    【氏名】 白神 慎二

【特許出願人】

    【識別番号】 000001007

    【氏名又は名称】 キヤノン株式会社

    【代表者】 御手洗 富士夫

【代理人】

    【識別番号】 100081880

    【弁理士】

    【氏名又は名称】 渡部 敏彦

    【電話番号】 03(3580)8464

【先の出願に基づく優先権主張】

    【出願番号】 特願2000-251221

    【出願日】 平成12年 8月22日

【手数料の表示】

【予納台帳番号】 007065

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9703713

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 省電力移行制御装置、情報処理装置、省電力移行制御方法及び記憶媒体

【特許請求の範囲】

【請求項 1】 通常動作モードから省電力モードへの移行及び前記省電力モードから前記通常動作モードへの復帰が可能な中央処理装置と、前記通常動作モードから前記省電力モードへの切り替えが可能な主記憶装置とを具備してなる情報処理装置に適用される省電力移行制御装置であって、

前記主記憶装置の前記通常動作モードから前記省電力モードへの切り替えが許可された後、前記中央処理装置が省電力モード移行命令をフェッチした場合に、前記主記憶装置を前記省電力モードに移行させることを特徴とする省電力移行制御装置。

【請求項 2】 省電力モード移行命令の実行により通常動作モードから省電力モードへの移行、外部割り込みにより前記省電力モードから前記通常動作モードへの復帰が可能な中央処理装置と、該中央処理装置が実行するプログラム及びデータを格納すると共に、前記通常動作モードから前記省電力モードへの切り替えが可能な主記憶装置とを具備してなる情報処理装置に適用される省電力移行制御装置であって、

前記中央処理装置が前記省電力モード移行命令をフェッチしたことを検出する検出手段と、前記中央処理装置が前記主記憶装置を前記通常動作モードから前記省電力モードに切り替えることを許可する設定を行う設定手段と、該設定手段により前記主記憶装置の前記通常動作モードから前記省電力モードへの切り替えが許可された後、前記検出手段により前記中央処理装置の前記省電力モード移行命令のフェッチを検出した場合に、前記主記憶装置を前記省電力モードに移行させる移行制御手段とを有することを特徴とする省電力移行制御装置。

【請求項 3】 前記主記憶装置が前記省電力モードにある場合で、前記中央処理装置が前記省電力モードから前記通常動作モードに復帰するための前記外部割り込みを検出した場合に、前記主記憶装置を前記設定手段の設定に関わらず前記通常動作モードに復帰させることを特徴とする請求項 1 又は 2 記載の省電力移

行制御装置。

【請求項 4】 通常動作モードから省電力モードへの移行及び前記省電力モードから前記通常動作モードへの復帰が可能な中央処理装置と、前記通常動作モードから前記省電力モードへの切り替えが可能な主記憶装置とを具備してなる情報処理装置であって、

前記主記憶装置の前記通常動作モードから前記省電力モードへの切り替えが許可された後、前記中央処理装置が省電力モード移行命令をフェッチした場合に、前記主記憶装置を前記省電力モードに移行させるように構成されていることを特徴とする情報処理装置。

【請求項 5】 省電力モード移行命令の実行により通常動作モードから省電力モードへの移行、外部割り込みにより前記省電力モードから前記通常動作モードへの復帰が可能な中央処理装置と、該中央処理装置が実行するプログラム及びデータを格納すると共に、前記通常動作モードから前記省電力モードへの切り替えが可能な主記憶装置とを具備してなる情報処理装置であって、

前記中央処理装置が前記省電力モード移行命令をフェッチしたことを検出する検出手段と、前記中央処理装置が前記主記憶装置を前記通常動作モードから前記省電力モードに切り替えることを許可する設定を行う設定手段と、該設定手段により前記主記憶装置の前記通常動作モードから前記省電力モードへの切り替えが許可された後、前記検出手段により前記中央処理装置の前記省電力モード移行命令のフェッチを検出した場合に、前記主記憶装置を前記省電力モードに移行させる移行制御手段とを有することを特徴とする情報処理装置。

【請求項 6】 前記主記憶装置が前記省電力モードにある場合で、前記中央処理装置が前記省電力モードから前記通常動作モードに復帰するための前記外部割り込みを検出した場合に、前記主記憶装置を前記設定手段の設定に関わらず前記通常動作モードに復帰させるように構成されていることを特徴とする請求項 4 又は 5 記載の情報処理装置。

【請求項 7】 通常動作モードから省電力モードへの移行及び前記省電力モードから前記通常動作モードへの復帰が可能な中央処理装置と、前記通常動作モードから前記省電力モードへの切り替えが可能な主記憶装置とを具備してなる情

報処理装置に適用される省電力移行制御方法であって、

前記主記憶装置の前記通常動作モードから前記省電力モードへの切り替えが許可された後、前記中央処理装置が省電力モード移行命令をフェッチした場合に、前記主記憶装置を前記省電力モードに移行させることを特徴とする省電力移行制御方法。

【請求項 8】 省電力モード移行命令の実行により通常動作モードから省電力モードへの移行、外部割り込みにより前記省電力モードから前記通常動作モードへの復帰が可能な中央処理装置と、該中央処理装置が実行するプログラム及びデータを格納すると共に、前記通常動作モードから前記省電力モードへの切り替えが可能な主記憶装置とを具備してなる情報処理装置に適用される省電力移行制御方法であって、

前記中央処理装置が前記省電力モード移行命令をフェッチしたことを検出する検出工程と、前記中央処理装置が前記主記憶装置を前記通常動作モードから前記省電力モードに切り替えることを許可する設定を行う設定工程と、該設定工程により前記主記憶装置の前記通常動作モードから前記省電力モードへの切り替えが許可された後、前記検出工程により前記中央処理装置の前記省電力モード移行命令のフェッチを検出した場合に、前記主記憶装置を前記省電力モードに移行させる移行制御工程とを有することを特徴とする省電力移行制御方法。

【請求項 9】 前記主記憶装置が前記省電力モードにある場合で、前記中央処理装置が前記省電力モードから前記通常動作モードに復帰するための前記外部割り込みを検出した場合に、前記主記憶装置を前記設定工程の設定に関わらず前記通常動作モードに復帰させることを特徴とする請求項 7 又は 8 記載の省電力移行制御方法。

【請求項 10】 通常動作モードから省電力モードへの移行及び前記省電力モードから前記通常動作モードへの復帰が可能な中央処理装置と、前記通常動作モードから前記省電力モードへの切り替えが可能な主記憶装置とを具備してなる情報処理装置に適用される省電力移行制御方法を実行するプログラムを記憶したコンピュータにより読み出し可能な記憶媒体であって、

前記省電力移行制御方法は、前記主記憶装置の前記通常動作モードから前記省

電力モードへの切り替えが許可された後、前記中央処理装置が省電力モード移行命令をフェッチした場合に、前記主記憶装置を前記省電力モードに移行させるように制御するステップを有することを特徴とする記憶媒体。

【請求項 1 1】 省電力モード移行命令の実行により通常動作モードから省電力モードへの移行、外部割り込みにより前記省電力モードから前記通常動作モードへの復帰が可能な中央処理装置と、該中央処理装置が実行するプログラム及びデータを格納すると共に、前記通常動作モードから前記省電力モードへの切り替えが可能な主記憶装置とを具備してなる情報処理装置に適用される省電力移行制御方法を実行するプログラムを記憶したコンピュータにより読み出し可能な記憶媒体であって、

前記省電力移行制御方法は、前記中央処理装置が前記省電力モード移行命令をフェッチしたことを検出するように制御する検出ステップと、前記中央処理装置が前記主記憶装置を前記通常動作モードから前記省電力モードに切り替えることを許可する設定を行うように制御する設定ステップと、該設定ステップにより前記主記憶装置の前記通常動作モードから前記省電力モードへの切り替えが許可された後、前記検出ステップにより前記中央処理装置の前記省電力モード移行命令のフェッチを検出した場合に、前記主記憶装置を前記省電力モードに移行させるように制御する移行制御ステップとを有することを特徴とする記憶媒体。

【請求項 1 2】 前記省電力移行制御方法は、前記主記憶装置が前記省電力モードにある場合で、前記中央処理装置が前記省電力モードから前記通常動作モードに復帰するための前記外部割り込みを検出した場合に、前記主記憶装置を前記設定ステップの設定に関わらず前記通常動作モードに復帰させるように制御するステップを有することを特徴とする請求項 1 0 又は 1 1 記載の記憶媒体。

【請求項 1 3】 省電力モード移行命令の実行により通常動作モードから省電力モードへの移行及び外部割り込みにより前記省電力モードから前記通常動作モードへの復帰が可能な中央処理装置と、前記通常動作モードから前記省電力モードへの切り替えが可能な主記憶装置とを具備してなる情報処理装置に適用される省電力移行制御装置であって、

前記中央処理装置より前記主記憶装置に対して、前記通常動作モードから前記

省電力モードへ移行するまでの時間を設定する時間設定手段と、前記中央処理装置より前記主記憶装置に対して、前記設定時間後の前記省電力モードへの移行を指示する移行指示手段と、前記主記憶装置が前記指示を受けた場合、前記主記憶装置を前記設定時間後に前記省電力モードに移行するように制御する移行制御手段とを有することを特徴とする省電力移行制御装置。

【請求項 1 4】 前記移行制御手段は、前記主記憶装置が前記省電力モードにある場合、前記時間設定手段の設定に関わらず、前記主記憶装置を前記中央処理装置と共に、前記外部割込みにより前記省電力モードから前記通常動作モードに復帰するように制御することを特徴とする請求項 1 3 記載の省電力移行制御装置。

【請求項 1 5】 省電力モード移行命令の実行により通常動作モードから省電力モードへの移行及び外部割込みにより前記省電力モードから前記通常動作モードへの復帰が可能な中央処理装置と、前記通常動作モードから前記省電力モードへの切り替えが可能な主記憶装置とを具備してなる情報処理装置であって、

前記中央処理装置より前記主記憶装置に対して、前記通常動作モードから前記省電力モードへ移行するまでの時間を設定する時間設定手段と、前記中央処理装置より前記主記憶装置に対して、前記設定時間後の前記省電力モードへの移行を指示する移行指示手段と、前記主記憶装置が前記指示を受けた場合、前記主記憶装置を前記設定時間後に前記省電力モードに移行するように制御する移行制御手段とを有することを特徴とする情報処理装置。

【請求項 1 6】 前記移行制御手段は、前記主記憶装置が前記省電力モードにある場合、前記時間設定手段の設定に関わらず、前記主記憶装置を前記中央処理装置と共に、前記外部割込みにより前記省電力モードから前記通常動作モードに復帰するように制御することを特徴とする請求項 1 5 記載の情報処理装置。

【請求項 1 7】 省電力モード移行命令の実行により通常動作モードから省電力モードへの移行及び外部割込みにより前記省電力モードから前記通常動作モードへの復帰が可能な中央処理装置と、前記通常動作モードから前記省電力モードへの切り替えが可能な主記憶装置とを具備してなる情報処理装置に適用される省電力移行制御方法であって、



前記中央処理装置より前記主記憶装置に対して、前記通常動作モードから前記省電力モードへ移行するまでの時間を設定する時間設定工程と、前記中央処理装置より前記主記憶装置に対して、前記設定時間後の前記省電力モードへの移行を指示する移行指示工程と、前記主記憶装置が前記指示を受けた場合、前記主記憶装置を前記設定時間後に前記省電力モードに移行するように制御する移行制御工程とを有することを特徴とする省電力移行制御方法。

【請求項 1 8】 前記移行制御工程では、前記主記憶装置が前記省電力モードにある場合、前記時間設定工程での設定に関わらず、前記主記憶装置を前記中央処理装置と共に、前記外部割込みにより前記省電力モードから前記通常動作モードに復帰するように制御することを特徴とする請求項 1 7 記載の省電力移行制御方法。

【請求項 1 9】 省電力モード移行命令の実行により通常動作モードから省電力モードへの移行及び外部割込みにより前記省電力モードから前記通常動作モードへの復帰が可能な中央処理装置と、前記通常動作モードから前記省電力モードへの切り替えが可能な主記憶装置とを具備してなる情報処理装置に適用される省電力移行制御方法を実行するプログラムを記憶したコンピュータにより読み出し可能な記憶媒体であって、

前記省電力移行制御方法は、前記中央処理装置より前記主記憶装置に対して、前記通常動作モードから前記省電力モードへ移行するまでの時間を設定する時間設定ステップと、前記中央処理装置より前記主記憶装置に対して、前記設定時間後の前記省電力モードへの移行を指示する移行指示ステップと、前記主記憶装置が前記指示を受けた場合、前記主記憶装置を前記設定時間後に前記省電力モードに移行するように制御する移行制御ステップとを有することを特徴とする記憶媒体。

【請求項 2 0】 前記移行制御ステップでは、前記主記憶装置が前記省電力モードにある場合、前記時間設定ステップでの設定に関わらず、前記主記憶装置を前記中央処理装置と共に、前記外部割込みにより前記省電力モードから前記通常動作モードに復帰するように制御することを特徴とする請求項 1 9 記載の記憶媒体。

【請求項 2 1】 省電力モード移行命令の実行により通常動作モードから省電力モードへの移行及び外部割込みにより前記省電力モードから前記通常動作モードへの復帰が可能な中央処理装置と、前記通常動作モードから前記省電力モードへの切り替えが可能な主記憶装置とを具備してなる情報処理装置に適用される省電力移行制御装置であって、

前記中央処理装置が前記省電力モードに移行したことを通知する通知手段と、前記中央処理装置が前記主記憶装置を前記通常動作モードから前記省電力モードに切り替えることを許可するための設定を行う設定手段と、前記設定手段により前記主記憶装置の前記省電力モードへの切り替えが許可された後に前記通知手段からの通知を検知した場合、前記主記憶装置を前記省電力モードに移行するように制御する移行制御手段とを有することを特徴とする省電力移行制御装置。

【請求項 2 2】 前記移行制御手段は、前記主記憶装置が前記省電力モードにある場合、前記通知手段により前記中央処理装置が前記省電力モードから前記通常動作モードに復帰したことを通知されたとき、前記設定手段の設定に関わらず、前記主記憶装置を前記通常動作モードに復帰するように制御することを特徴とする請求項 2 1 記載の省電力移行制御装置。

【請求項 2 3】 省電力モード移行命令の実行により通常動作モードから省電力モードへの移行及び外部割込みにより前記省電力モードから前記通常動作モードへの復帰が可能な中央処理装置と、前記通常動作モードから前記省電力モードへの切り替えが可能な主記憶装置とを具備してなる情報処理装置であって、

前記中央処理装置が前記省電力モードに移行したことを通知する通知手段と、前記中央処理装置が前記主記憶装置を前記通常動作モードから前記省電力モードに切り替えることを許可するための設定を行う設定手段と、前記設定手段により前記主記憶装置の前記省電力モードへの切り替えが許可された後に前記通知手段からの通知を検知した場合、前記主記憶装置を前記省電力モードに移行するように制御する移行制御手段とを有することを特徴とする情報処理装置。

【請求項 2 4】 前記移行制御手段は、前記主記憶装置が前記省電力モードにある場合、前記通知手段により前記中央処理装置が前記省電力モードから前記通常動作モードに復帰したことを通知されたとき、前記設定手段の設定に関わら

ず、前記主記憶装置を前記通常動作モードに復帰するように制御することを特徴とする請求項 2 3 記載の情報処理装置。

【請求項 2 5】 省電力モード移行命令の実行により通常動作モードから省電力モードへの移行及び外部割込みにより前記省電力モードから前記通常動作モードへの復帰が可能な中央処理装置と、前記通常動作モードから前記省電力モードへの切り替えが可能な主記憶装置とを具備してなる情報処理装置に適用される省電力移行制御方法であって、

前記中央処理装置が前記省電力モードに移行したことを通知する通知工程と、前記中央処理装置が前記主記憶装置を前記通常動作モードから前記省電力モードに切り替えることを許可するための設定を行う設定工程と、前記設定工程により前記主記憶装置の前記省電力モードへの切り替えが許可された後に前記通知工程からの通知を検知した場合、前記主記憶装置を前記省電力モードに移行するように制御する移行制御工程とを有することを特徴とする省電力移行制御方法。

【請求項 2 6】 前記移行制御手段は、前記主記憶装置が前記省電力モードにある場合、前記通知工程により前記中央処理装置が前記省電力モードから前記通常動作モードに復帰したことを通知されたとき、前記設定工程での設定に関わらず、前記主記憶装置を前記通常動作モードに復帰するように制御することを特徴とする請求項 2 5 記載の省電力移行制御方法。

【請求項 2 7】 省電力モード移行命令の実行により通常動作モードから省電力モードへの移行及び外部割込みにより前記省電力モードから前記通常動作モードへの復帰が可能な中央処理装置と、前記通常動作モードから前記省電力モードへの切り替えが可能な主記憶装置とを具備してなる情報処理装置に適用される省電力移行制御方法を実行するプログラムを記憶したコンピュータにより読み出し可能な記憶媒体であって、

前記省電力移行制御方法は、前記中央処理装置が前記省電力モードに移行したことを通知する通知ステップと、前記中央処理装置が前記主記憶装置を前記通常動作モードから前記省電力モードに切り替えることを許可するための設定を行う設定ステップと、前記設定ステップにより前記主記憶装置の前記省電力モードへの切り替えが許可された後に前記通知ステップからの通知を検知した場合、前記

主記憶装置を前記省電力モードに移行するように制御する移行制御ステップとを有することを特徴とする記憶媒体。

【請求項 2 8】 前記移行制御手段は、前記主記憶装置が前記省電力モードにある場合、前記通知ステップにより前記中央処理装置が前記省電力モードから前記通常動作モードに復帰したことを通知されたとき、前記設定ステップでの設定に関わらず、前記主記憶装置を前記通常動作モードに復帰するように制御することを特徴とする請求項 2 7 記載の記憶媒体。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、省電力移行制御装置、情報処理装置、省電力移行制御方法及び記憶媒体に関し、特に、省電力モードを備えた情報処理装置に搭載される省電力移行制御装置、省電力移行制御装置を搭載した情報処理装置、情報処理装置に適用される省電力移行制御方法、及び情報処理装置に適用される省電力移行制御方法を実行するプログラムを記憶したコンピュータにより読み出し可能な記憶媒体に関する。

【0 0 0 2】

【従来の技術】

従来より、省電力モードを備えた情報処理装置においては、省電力モード移行命令（W A I T I 命令）を実行することによって省電力モードに移行し、ハードウェア割り込みが入力されると通常動作モードに復帰するような省電力型の C P U が広く利用されている。更に、装置全体の消費電力を低減するために、システムの構成要素それぞれに省電力モードを設けて、装置の動作モードによって使用していない構成要素を省電力モードに設定できるようになっている。

【0 0 0 3】

特に、CPU のプログラムやデータを格納する主記憶装置は、多くの電力を消費する構成要素であるため、様々な省電力機構が提案されている。例えば、シンクロナス D R A M （S D R A M）を用いた主記憶装置では、S D R A M に対してセルフリフレッシュエントリ命令（S E L F 命令）を発行することにより、メモ

りを省電力モードに切り替えることが可能である。

【0004】

通常、上記のような省電力モードの切り替えは、CPUの設定によって行われる。従って、装置全体を省電力モードに移行させるためには、先ずCPUにより主記憶装置を省電力モードに移行するように設定し、その後にCPU自身が省電力モードに遷移する必要がある。しかしながら、CPU自身が省電力モードに遷移するためにはWAITI命令を実行する必要があるが、通常、WAITI命令自体が主記憶装置に存在するため、WAITI命令の命令フェッチ時には、主記憶装置は通常に動作している必要がある。

【0005】

一方、ハードウェア割り込みにより省電力モードから通常動作モードに復帰する場合は、CPUは先ず主記憶装置を通常動作モードに復帰させるように設定する必要があるが、CPUは通常動作モードに復帰した直後に、割り込みハンドラの命令フェッチを主記憶装置から行うため、やはりこの時点で主記憶装置が通常に動作している必要がある。

【0006】

以上のような要求を満たすために、従来は、主記憶装置を分割し、一方はROMやSRAM等のスタティックで消費電力が少ない小容量メモリを備え、もう一方は大容量のSDRAMを備えて、WAITI命令を実行するルーチンと割り込みハンドラは小容量メモリに常駐させるか、省電力モードへ移行する直前に転送するようにしている。

【0007】

通常、情報処理装置では、電源投入直後にCPUがリセットベクターアドレスの命令をフェッチする必要があるため、主記憶装置の一部として安価なROM（ブートROM）を備えている。そこで、このブートROMの一部に上記WAITI命令の実行ルーチン及び割り込みハンドラを予め固定的に書き込んでおくことにより、省電力モードに移行するためだけの専用のメモリを備えることなくシステムを構成している。或いは、命令キャッシュを備えるCPUにおいては、上記WAITI命令の実行ルーチン及び割り込みハンドラを命令キャッシュにロック

ダウンした後に、省電力モードへ移行するようにしている。即ち、上記の専用の S R A M を備える代わりに、命令キャッシュを同様の目的に流用しているわけである。

【 0 0 0 8 】

【発明が解決しようとする課題】

しかしながら、上述した従来技術においては下記のような問題があった。即ち、通常、安価な R O M は、R A M と比較してアクセス時間が長いため、R O M 上に存在する命令シーケンスの処理は、R A M 上に存在する命令シーケンスの処理と比較して遅い。そのため、割り込みハンドラを R O M 上に固定的に配置する場合、省電力モードからの遷移に関わる割り込み処理のみならず、通常の割り込み処理までもが遅くなるという問題点がある。これは、特にリアルタイム処理を行う情報処理装置にとっては致命的な問題点である。

【 0 0 0 9 】

また、専用の S R A M を備える方式においては、高価な S R A M を使用するため、装置のコストが上昇するという問題点がある。

【 0 0 1 0 】

また、命令キャッシュを流用する方式においては、省電力モードに移行する度に、特殊なキャッシュ操作命令を用いて必要なルーチンやハンドラをキャッシュ内に格納しロックダウンするために、処理のオーバーヘッドが大きくなり、処理速度の低下を招くという問題点がある。また、キャッシュを操作するソフトウェアは複雑になりがちな上、デバッグが困難である。更に、キャッシュをロックダウンすることは、実質的にその他の命令を格納する領域が減少することを意味するので、キャッシュのヒット率の低下を招き、パフォーマンスが低下するという問題点がある。

【 0 0 1 1 】

本発明は、上述した点に鑑みなされたものであり、高価な専用のメモリを装備することなく且つ複雑なソフトウェアの処理を必要とすることなく、安価で高い割り込みパフォーマンスを持つ省電力型の情報処理装置を容易に構築可能とした省電力移行制御装置、情報処理装置、省電力移行制御方法及び記憶媒体を提供す

ることを目的とする。

【0012】

【課題を解決するための手段】

上記目的を達成するため、請求項1記載の発明は、通常動作モードから省電力モードへの移行及び前記省電力モードから前記通常動作モードへの復帰が可能な中央処理装置と、前記通常動作モードから前記省電力モードへの切り替えが可能な主記憶装置とを具備してなる情報処理装置に適用される省電力移行制御装置であって、前記主記憶装置の前記通常動作モードから前記省電力モードへの切り替えが許可された後、前記中央処理装置が省電力モード移行命令をフェッチした場合に、前記主記憶装置を前記省電力モードに移行させることを特徴とする。

【0013】

上記目的を達成するため、請求項2記載の発明は、省電力モード移行命令の実行により通常動作モードから省電力モードへの移行、外部割り込みにより前記省電力モードから前記通常動作モードへの復帰が可能な中央処理装置と、該中央処理装置が実行するプログラム及びデータを格納すると共に、前記通常動作モードから前記省電力モードへの切り替えが可能な主記憶装置とを具備してなる情報処理装置に適用される省電力移行制御装置であって、前記中央処理装置が前記省電力モード移行命令をフェッチしたことを検出する検出手段と、前記中央処理装置が前記主記憶装置を前記通常動作モードから前記省電力モードに切り替えることを許可する設定を行う設定手段と、該設定手段により前記主記憶装置の前記通常動作モードから前記省電力モードへの切り替えが許可された後、前記検出手段により前記中央処理装置の前記省電力モード移行命令のフェッチを検出した場合に、前記主記憶装置を前記省電力モードに移行させる移行制御手段とを有することを特徴とする。

【0014】

上記目的を達成するため、請求項3記載の発明は、前記主記憶装置が前記省電力モードにある場合で、前記中央処理装置が前記省電力モードから前記通常動作モードに復帰するための前記外部割り込みを検出した場合に、前記主記憶装置を前記設定手段の設定に関わらず前記通常動作モードに復帰させることを特徴とす

る。

【 0 0 1 5 】

上記目的を達成するため、請求項 4 記載の発明は、通常動作モードから省電力モードへの移行及び前記省電力モードから前記通常動作モードへの復帰が可能な中央処理装置と、前記通常動作モードから前記省電力モードへの切り替えが可能な主記憶装置とを具備してなる情報処理装置であって、前記主記憶装置の前記通常動作モードから前記省電力モードへの切り替えが許可された後、前記中央処理装置が省電力モード移行命令をフェッチした場合に、前記主記憶装置を前記省電力モードに移行させるように構成されていることを特徴とする。

【 0 0 1 6 】

上記目的を達成するため、請求項 5 記載の発明は、省電力モード移行命令の実行により通常動作モードから省電力モードへの移行、外部割り込みにより前記省電力モードから前記通常動作モードへの復帰が可能な中央処理装置と、該中央処理装置が実行するプログラム及びデータを格納すると共に、前記通常動作モードから前記省電力モードへの切り替えが可能な主記憶装置とを具備してなる情報処理装置であって、前記中央処理装置が前記省電力モード移行命令をフェッチしたことを検出する検出手段と、前記中央処理装置が前記主記憶装置を前記通常動作モードから前記省電力モードに切り替えることを許可する設定を行う設定手段と、該設定手段により前記主記憶装置の前記通常動作モードから前記省電力モードへの切り替えが許可された後、前記検出手段により前記中央処理装置の前記省電力モード移行命令のフェッチを検出した場合に、前記主記憶装置を前記省電力モードに移行させる移行制御手段とを有することを特徴とする。

【 0 0 1 7 】

上記目的を達成するため、請求項 6 記載の発明は、前記主記憶装置が前記省電力モードにある場合で、前記中央処理装置が前記省電力モードから前記通常動作モードに復帰するための前記外部割り込みを検出した場合に、前記主記憶装置を前記設定手段の設定に関わらず前記通常動作モードに復帰させるように構成されていることを特徴とする。

【 0 0 1 8 】



上記目的を達成するため、請求項 7 記載の発明は、通常動作モードから省電力モードへの移行及び前記省電力モードから前記通常動作モードへの復帰が可能な中央処理装置と、前記通常動作モードから前記省電力モードへの切り替えが可能な主記憶装置とを具備してなる情報処理装置に適用される省電力移行制御方法であって、前記主記憶装置の前記通常動作モードから前記省電力モードへの切り替えが許可された後、前記中央処理装置が省電力モード移行命令をフェッチした場合に、前記主記憶装置を前記省電力モードに移行させることを特徴とする。

## 【 0 0 1 9 】

上記目的を達成するため、請求項 8 記載の発明は、省電力モード移行命令の実行により通常動作モードから省電力モードへの移行、外部割り込みにより前記省電力モードから前記通常動作モードへの復帰が可能な中央処理装置と、該中央処理装置が実行するプログラム及びデータを格納すると共に、前記通常動作モードから前記省電力モードへの切り替えが可能な主記憶装置とを具備してなる情報処理装置に適用される省電力移行制御方法であって、前記中央処理装置が前記省電力モード移行命令をフェッチしたことを検出する検出工程と、前記中央処理装置が前記主記憶装置を前記通常動作モードから前記省電力モードに切り替えることを許可する設定を行う設定工程と、該設定工程により前記主記憶装置の前記通常動作モードから前記省電力モードへの切り替えが許可された後、前記検出工程により前記中央処理装置の前記省電力モード移行命令のフェッチを検出した場合に、前記主記憶装置を前記省電力モードに移行させる移行制御工程とを有することを特徴とする。

## 【 0 0 2 0 】

上記目的を達成するため、請求項 9 記載の発明は、前記主記憶装置が前記省電力モードにある場合で、前記中央処理装置が前記省電力モードから前記通常動作モードに復帰するための前記外部割り込みを検出した場合に、前記主記憶装置を前記設定工程の設定に関わらず前記通常動作モードに復帰させることを特徴とする。

## 【 0 0 2 1 】

上記目的を達成するため、請求項 1 0 記載の発明は、通常動作モードから省電

力モードへの移行及び前記省電力モードから前記通常動作モードへの復帰が可能な中央処理装置と、前記通常動作モードから前記省電力モードへの切り替えが可能な主記憶装置とを具備してなる情報処理装置に適用される省電力移行制御方法を実行するプログラムを記憶したコンピュータにより読み出し可能な記憶媒体であって、前記省電力移行制御方法は、前記主記憶装置の前記通常動作モードから前記省電力モードへの切り替えが許可された後、前記中央処理装置が省電力モード移行命令をフェッチした場合に、前記主記憶装置を前記省電力モードに移行させるように制御するステップを有することを特徴とする。

## 【 0 0 2 2 】

上記目的を達成するため、請求項 1 1 記載の発明は、省電力モード移行命令の実行により通常動作モードから省電力モードへの移行、外部割り込みにより前記省電力モードから前記通常動作モードへの復帰が可能な中央処理装置と、該中央処理装置が実行するプログラム及びデータを格納すると共に、前記通常動作モードから前記省電力モードへの切り替えが可能な主記憶装置とを具備してなる情報処理装置に適用される省電力移行制御方法を実行するプログラムを記憶したコンピュータにより読み出し可能な記憶媒体であって、前記省電力移行制御方法は、前記中央処理装置が前記省電力モード移行命令をフェッチしたことを検出するように制御する検出ステップと、前記中央処理装置が前記主記憶装置を前記通常動作モードから前記省電力モードに切り替えることを許可する設定を行うように制御する設定ステップと、該設定ステップにより前記主記憶装置の前記通常動作モードから前記省電力モードへの切り替えが許可された後、前記検出ステップにより前記中央処理装置の前記省電力モード移行命令のフェッチを検出した場合に、前記主記憶装置を前記省電力モードに移行させるように制御する移行制御ステップとを有することを特徴とする。

## 【 0 0 2 3 】

上記目的を達成するため、請求項 1 2 記載の発明は、前記省電力移行制御方法は、前記主記憶装置が前記省電力モードにある場合で、前記中央処理装置が前記省電力モードから前記通常動作モードに復帰するための前記外部割り込みを検出した場合に、前記主記憶装置を前記設定ステップの設定に関わらず前記通常動作

モードに復帰させるように制御するステップを有することを特徴とする。

## 【 0 0 2 4 】

上記目的を達成するため、請求項 1 3 記載の発明は、省電力モード移行命令の実行により通常動作モードから省電力モードへの移行及び外部割込みにより前記省電力モードから前記通常動作モードへの復帰が可能な中央処理装置と、前記通常動作モードから前記省電力モードへの切り替えが可能な主記憶装置とを具備してなる情報処理装置に適用される省電力移行制御装置であって、前記中央処理装置より前記主記憶装置に対して、前記通常動作モードから前記省電力モードへ移行するまでの時間を設定する時間設定手段と、前記中央処理装置より前記主記憶装置に対して、前記設定時間後の前記省電力モードへの移行を指示する移行指示手段と、前記主記憶装置が前記指示を受けた場合、前記主記憶装置を前記設定時間後に前記省電力モードに移行するように制御する移行制御手段とを有することを特徴とする。

## 【 0 0 2 5 】

上記目的を達成するため、請求項 1 4 記載の発明は、前記移行制御手段は、前記主記憶装置が前記省電力モードにある場合、前記時間設定手段の設定に関わらず、前記主記憶装置を前記中央処理装置と共に、前記外部割込みにより前記省電力モードから前記通常動作モードに復帰するように制御することを特徴とする。

## 【 0 0 2 6 】

上記目的を達成するため、請求項 1 5 記載の発明は、省電力モード移行命令の実行により通常動作モードから省電力モードへの移行及び外部割込みにより前記省電力モードから前記通常動作モードへの復帰が可能な中央処理装置と、前記通常動作モードから前記省電力モードへの切り替えが可能な主記憶装置とを具備してなる情報処理装置であって、前記中央処理装置より前記主記憶装置に対して、前記通常動作モードから前記省電力モードへ移行するまでの時間を設定する時間設定手段と、前記中央処理装置より前記主記憶装置に対して、前記設定時間後の前記省電力モードへの移行を指示する移行指示手段と、前記主記憶装置が前記指示を受けた場合、前記主記憶装置を前記設定時間後に前記省電力モードに移行するように制御する移行制御手段とを有することを特徴とする。

## 【 0 0 2 7 】

上記目的を達成するため、請求項 1 6 記載の発明は、前記移行制御手段は、前記主記憶装置が前記省電力モードにある場合、前記時間設定手段の設定に関わらず、前記主記憶装置を前記中央処理装置と共に、前記外部割込みにより前記省電力モードから前記通常動作モードに復帰するように制御することを特徴とする。

## 【 0 0 2 8 】

上記目的を達成するため、請求項 1 7 記載の発明は、省電力モード移行命令の実行により通常動作モードから省電力モードへの移行及び外部割込みにより前記省電力モードから前記通常動作モードへの復帰が可能な中央処理装置と、前記通常動作モードから前記省電力モードへの切り替えが可能な主記憶装置とを具備してなる情報処理装置に適用される省電力移行制御方法であって、前記中央処理装置より前記主記憶装置に対して、前記通常動作モードから前記省電力モードへ移行するまでの時間を設定する時間設定工程と、前記中央処理装置より前記主記憶装置に対して、前記設定時間後の前記省電力モードへの移行を指示する移行指示工程と、前記主記憶装置が前記指示を受けた場合、前記主記憶装置を前記設定時間後に前記省電力モードに移行するように制御する移行制御工程とを有することを特徴とする。

## 【 0 0 2 9 】

上記目的を達成するため、請求項 1 8 記載の発明は、前記移行制御工程では、前記主記憶装置が前記省電力モードにある場合、前記時間設定工程での設定に関わらず、前記主記憶装置を前記中央処理装置と共に、前記外部割込みにより前記省電力モードから前記通常動作モードに復帰するように制御することを特徴とする。

## 【 0 0 3 0 】

上記目的を達成するため、請求項 1 9 記載の発明は、省電力モード移行命令の実行により通常動作モードから省電力モードへの移行及び外部割込みにより前記省電力モードから前記通常動作モードへの復帰が可能な中央処理装置と、前記通常動作モードから前記省電力モードへの切り替えが可能な主記憶装置とを具備してなる情報処理装置に適用される省電力移行制御方法を実行するプログラムを記

憶したコンピュータにより読み出し可能な記憶媒体であって、前記省電力移行制御方法は、前記中央処理装置より前記主記憶装置に対して、前記通常動作モードから前記省電力モードへ移行するまでの時間を設定する時間設定ステップと、前記中央処理装置より前記主記憶装置に対して、前記設定時間後の前記省電力モードへの移行を指示する移行指示ステップと、前記主記憶装置が前記指示を受けた場合、前記主記憶装置を前記設定時間後に前記省電力モードに移行するように制御する移行制御ステップとを有することを特徴とする。

## 【 0 0 3 1 】

上記目的を達成するため、請求項 2 0 記載の発明は、前記移行制御ステップでは、前記主記憶装置が前記省電力モードにある場合、前記時間設定ステップでの設定に関わらず、前記主記憶装置を前記中央処理装置と共に、前記外部割込みにより前記省電力モードから前記通常動作モードに復帰するように制御することを特徴とする。

## 【 0 0 3 2 】

上記目的を達成するため、請求項 2 1 記載の発明は、省電力モード移行命令の実行により通常動作モードから省電力モードへの移行及び外部割込みにより前記省電力モードから前記通常動作モードへの復帰が可能な中央処理装置と、前記通常動作モードから前記省電力モードへの切り替えが可能な主記憶装置とを具備してなる情報処理装置に適用される省電力移行制御装置であって、前記中央処理装置が前記省電力モードに移行したことを通知する通知手段と、前記中央処理装置が前記主記憶装置を前記通常動作モードから前記省電力モードに切り替えることを許可するための設定を行う設定手段と、前記設定手段により前記主記憶装置の前記省電力モードへの切り替えが許可された後に前記通知手段からの通知を検知した場合、前記主記憶装置を前記省電力モードに移行するように制御する移行制御手段とを有することを特徴とする。

## 【 0 0 3 3 】

上記目的を達成するため、請求項 2 2 記載の発明は、前記移行制御手段は、前記主記憶装置が前記省電力モードにある場合、前記通知手段により前記中央処理装置が前記省電力モードから前記通常動作モードに復帰したことを通知されたと

き、前記設定手段の設定に関わらず、前記主記憶装置を前記通常動作モードに復帰するように制御することを特徴とする。

## 【0034】

上記目的を達成するため、請求項23記載の発明は、省電力モード移行命令の実行により通常動作モードから省電力モードへの移行及び外部割込みにより前記省電力モードから前記通常動作モードへの復帰が可能な中央処理装置と、前記通常動作モードから前記省電力モードへの切り替えが可能な主記憶装置とを具備してなる情報処理装置であって、前記中央処理装置が前記省電力モードに移行したことを通知する通知手段と、前記中央処理装置が前記主記憶装置を前記通常動作モードから前記省電力モードに切り替えることを許可するための設定を行う設定手段と、前記設定手段により前記主記憶装置の前記省電力モードへの切り替えが許可された後に前記通知手段からの通知を検知した場合、前記主記憶装置を前記省電力モードに移行するように制御する移行制御手段とを有することを特徴とする。

## 【0035】

上記目的を達成するため、請求項24記載の発明は、前記移行制御手段は、前記主記憶装置が前記省電力モードにある場合、前記通知手段により前記中央処理装置が前記省電力モードから前記通常動作モードに復帰したことを通知されたとき、前記設定手段の設定に関わらず、前記主記憶装置を前記通常動作モードに復帰するように制御することを特徴とする。

## 【0036】

上記目的を達成するため、請求項25記載の発明は、省電力モード移行命令の実行により通常動作モードから省電力モードへの移行及び外部割込みにより前記省電力モードから前記通常動作モードへの復帰が可能な中央処理装置と、前記通常動作モードから前記省電力モードへの切り替えが可能な主記憶装置とを具備してなる情報処理装置に適用される省電力移行制御方法であって、前記中央処理装置が前記省電力モードに移行したことを通知する通知工程と、前記中央処理装置が前記主記憶装置を前記通常動作モードから前記省電力モードに切り替えることを許可するための設定を行う設定工程と、前記設定工程により前記主記憶装置の

前記省電力モードへの切り替えが許可された後に前記通知工程からの通知を検知した場合、前記主記憶装置を前記省電力モードに移行するように制御する移行制御工程とを有することを特徴とする。

## 【 0 0 3 7 】

上記目的を達成するため、請求項 2 6 記載の発明は、前記移行制御手段は、前記主記憶装置が前記省電力モードにある場合、前記通知工程により前記中央処理装置が前記省電力モードから前記通常動作モードに復帰したことを通知されたとき、前記設定工程での設定に関わらず、前記主記憶装置を前記通常動作モードに復帰するように制御することを特徴とする。

## 【 0 0 3 8 】

上記目的を達成するため、請求項 2 7 記載の発明は、省電力モード移行命令の実行により通常動作モードから省電力モードへの移行及び外部割込みにより前記省電力モードから前記通常動作モードへの復帰が可能な中央処理装置と、前記通常動作モードから前記省電力モードへの切り替えが可能な主記憶装置とを具備してなる情報処理装置に適用される省電力移行制御方法を実行するプログラムを記憶したコンピュータにより読み出し可能な記憶媒体であって、前記省電力移行制御方法は、前記中央処理装置が前記省電力モードに移行したことを通知する通知ステップと、前記中央処理装置が前記主記憶装置を前記通常動作モードから前記省電力モードに切り替えることを許可するための設定を行う設定ステップと、前記設定ステップにより前記主記憶装置の前記省電力モードへの切り替えが許可された後に前記通知ステップからの通知を検知した場合、前記主記憶装置を前記省電力モードに移行するように制御する移行制御ステップとを有することを特徴とする。

## 【 0 0 3 9 】

上記目的を達成するため、請求項 2 8 記載の発明は、前記移行制御手段は、前記主記憶装置が前記省電力モードにある場合、前記通知ステップにより前記中央処理装置が前記省電力モードから前記通常動作モードに復帰したことを通知されたとき、前記設定ステップでの設定に関わらず、前記主記憶装置を前記通常動作モードに復帰するように制御することを特徴とする。

【0040】

## 【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0041】

## 【第1の実施の形態】

図1は本発明の第1の実施の形態に係る情報処理装置の電氣的な構成を示すブロック図である。本発明の第1の実施の形態に係る情報処理装置は、CPU1（中央処理装置、移行制御手段）、ROM2、SDRAM3（主記憶装置）、ROMコントローラ4、SDRAMコントローラ5（移行制御手段）、割り込みコントローラ6、WAITI命令フェッチ検出回路7（検出手段）、システムバス8を具備している。

【0042】

上記構成を詳述すると、CPU1は、省電力モード移行命令（WAITI命令）を実行することによって省電力モードに移行し、ハードウェア割り込みが入力されると通常動作モードに復帰するような省電力型の中央処理装置である。CPU1が実行する命令は、ROM2及びSDRAM3に格納されている。SDRAM3には、CPU1の命令実行に必要なデータも格納されている。CPU1の命令フェッチ転送は、システムバス8上のトランザクションとして発生し、これを検知したROMコントローラ4及びSDRAMコントローラ5により、それぞれのメモリアクセス転送に変換され、ROM2及びSDRAM3よりシステムバス8上へ送られる。CPU1のデータ転送も、同様にシステムバス8を介してSDRAMコントローラ5により行われる。

【0043】

割り込みコントローラ6は、情報処理装置のスイッチ押下等の外部トリガ入力を受けて、CPU1及びWAITI命令フェッチ検出回路7に対してハードウェア割り込み信号をアサートする。WAITI命令フェッチ検出回路7は、システムバス8上の命令フェッチ転送を監視し、システムバス8上の転送が命令フェッチ転送であり且つデータがWAITI命令であることを検知すると、SDRAMコントローラ5に対してWAITI命令検出信号をアサートし、ハードウェア割



り込み信号がアサートされると、WAITI 命令検出信号をネゲートする。

【0044】

図2は上記図1に示した本発明の第1の実施の形態に係る情報処理装置のSDRAMコントローラ5の省電力モードの設定に関わる部分を示すブロック図である。本発明の第1の実施の形態に係る情報処理装置のSDRAMコントローラ5は、SDRAM設定レジスタ51（設定手段）と、ANDゲート52と、SDRAM制御シーケンサ53とを具備している。

【0045】

上記構成を詳述すると、SDRAM設定レジスタ51は、例えば16ビットのレジスタであり、システムバス8の16ビットデータ線に接続されている。このSDRAM設定レジスタ51は、CPU1から見るとメモリマップされており、例えば0xFF100000番地にアサインされている。SDRAMコントローラ5は、システムバス8のアドレス線をデコード回路（図示略）によりデコードし、CPU1が出力するトランザクションのアドレスが0xFF100000番地であり且つ書き込みトランザクションである場合、システムバス8のデータ線上のデータをSDRAM設定レジスタ51にラッチする。

【0046】

SDRAM設定レジスタ51の最下位ビット（Bit0）の出力は、SELF許可信号として2入力のANDゲート52の一方の入力に接続されている。ANDゲート52のもう一方の入力には、CPU1がWAITI命令をフェッチしたことを示す信号であるWAITI命令検出信号が接続されている。ANDゲート52の出力は、SELF要求信号としてSDRAM制御シーケンサ53に接続されている。

【0047】

SDRAM制御シーケンサ53は、SELF要求信号が“1”にアサートされると、現在実行中のメモリ転送が終了すると直ちにSDRAM3に対してSELFコマンドを発行する。これは、CS信号、RAS信号、CAS信号、CKE信号を全て“0”にドライブし、WE信号を“1”にドライブすることで実行される。SELFコマンドが入力されると、SDRAM3は省電力モードに遷移する

## 【0048】

次に、上記の如く構成された本発明の第1の実施の形態に係る情報処理装置の動作を図1及び図2を参照しながら詳細に説明する。下記の制御は、情報処理装置のROM2に格納されたプログラムに基づきCPU1により実行される。

## 【0049】

最初に、CPU1がCPU自身とSDRAM3の両方を省電力モードに移行させる手順を説明する。まず、CPU1は、SDRAMコントローラ5のSDRAM設定レジスタ51に書き込み転送を発生し、システムバス8のデータ線Bit0を“1”にドライブすることにより、SELF許可信号を“1”に設定する。この時点では、SDRAMコントローラ5は直ちにはSELFコマンドを発行しない。従って、CPU1は、通常動作モードにおいて最後に実行される命令であるWAITIをSDRAM3よりフェッチすることが可能である。

## 【0050】

CPU1が、WAITI命令をフェッチするための命令フェッチ転送をシステムバス8上に発行すると、WAITI命令フェッチ検出回路7は、WAITI命令検出信号を“1”にアサートする。その結果、SELF要求信号が“1”となり、SDRAMコントローラ5のSDRAM制御シーケンサ53は、SDRAM3に対してSELFコマンドを発行し、SDRAM3は省電力モードに移行する。

## 【0051】

次に、省電力モードから通常動作モードに復帰する手順を説明する。情報処理装置のスイッチ等が押下され外部トリガが入力されると、割り込みコントローラ6は、CPU1及びWAITI命令フェッチ検出回路7に対してハードウェア割り込みをアサートする。割り込みが入力されると、CPU1は通常動作モードに復帰し、また、WAITI命令フェッチ検出回路7はWAITI命令検出信号を“0”にネゲートする。

## 【0052】

その結果、SDRAMコントローラ5のSELF要求信号がネゲートされるの

で、SDRAMコントローラ5のSDRAM制御シーケンサ53は、直ちにSELF EXITコマンドをSDRAM3に対して発行する。これは、CS信号だけを“0”にドライブし、他の信号(RAS信号、CAS信号、WE信号、CKE信号)を全て“1”にドライブすることによって行われる。これにより、SDRAM3は通常動作モードに復帰する。

## 【0053】

一方、通常動作モードに復帰したCPU1は、直ちに割り込みハンドラの命令をフェッチするために、割り込みベクターアドレスと共に命令フェッチサイクルをシステムバス8上に出力する。SDRAMコントローラ5は、SDRAM3が既に通常動作モードに復帰しているので、直ちに要求された命令をSDRAM3から読み出してシステムバス8上に出力することが可能である。

## 【0054】

以上説明したように、本発明の第1の実施の形態によれば、通常動作モードから省電力モードへの移行及び省電力モードから通常動作モードへの復帰が可能なCPU1と、通常動作モードから省電力モードへの移行及び省電力モードから通常動作モードへの復帰が可能なSDRAM3とを具備した情報処理装置において、SDRAMコントローラ5のSDRAM設定レジスタ51がSDRAM3の通常動作モードから省電力モードへの切り替えを許可するSELF許可信号を出力した後、WAITI命令フェッチ検出回路7がWAITI命令検出信号を出力した場合に、SDRAM3を省電力モードに移行させ、SDRAM3が省電力モードにある場合で、CPU1が省電力モードから通常動作モードに復帰するための外部割り込みを検出した場合に、SDRAM3をSDRAM設定レジスタ51の設定に関わらず通常動作モードに復帰させる構成としているため、下記の効果を奏することができる。

## 【0055】

CPU1が確実に省電力モードに移行した後にSDRAM3を省電力モードへ移行させることで、高価な専用メモリを装備することなく且つ複雑なソフトウェアの処理を必要とすることなく、省電力モードへの遷移時のWAITI命令フェッチ時に、SDRAM3を正常に動作させることが可能となり、また、通常動作

モードへの復帰時の割り込みハンドラの命令フェッチを SDRAM 3 から正しく行わせることが可能となる。また、キャッシュ領域等が無駄にすることなく、割り込みハンドラを高速な RAM 上に常駐させることが可能であるため、高いパフォーマンスを保つことが可能であり、また、ソフトウェアによる複雑な操作が不要である。この結果、安価で高い割り込みパフォーマンスを持つ省電力型の情報処理装置を容易に構築することができる。

## 【 0 0 5 6 】

## 〔第 2 の実施の形態〕

図 3 は本発明の第 2 の実施の形態に係る情報処理装置の電氣的な構成を示すブロック図である。本発明の第 2 の実施の形態に係る情報処理装置は、CPU 6 1（中央処理装置、移行制御手段）、ROM 6 2、SDRAM 6 3（主記憶装置）、ROM コントローラ 6 4、SDRAM コントローラ 6 5（移行指示手段、移行制御手段）、割り込みコントローラ 6 6、システムバス 6 7 を具備している。

## 【 0 0 5 7 】

上記構成を詳述すると、CPU 6 1 は、省電力モード移行命令（WAITI 命令）を実行することによって省電力モードに移行し、ハードウェア割り込みが入力されると通常動作モードに復帰するような省電力型の中央処理装置である。CPU 6 1 が実行する命令は、ROM 6 2 及び SDRAM 6 3 に格納されている。SDRAM 6 3 には、CPU 6 1 の命令実行に必要なデータも格納されている。

## 【 0 0 5 8 】

CPU 6 1 の命令フェッチ転送は、システムバス 6 7 上のトランザクションとして発生し、これを検知した ROM コントローラ 6 4 及び SDRAM コントローラ 6 5 により、それぞれのメモリアクセス転送に変換され、ROM 6 2 及び SDRAM 6 3 よりシステムバス 6 7 上へ送られる。CPU 6 1 のデータ転送も、同様にシステムバス 6 7 を介して SDRAM コントローラ 6 5 により行われる。割り込みコントローラ 6 6 は、情報処理装置のスイッチ押下等の外部トリガ入力を受けて、CPU 6 1 と SDRAM コントローラ 6 5 に対してハードウェア割り込み信号をアサートする。

## 【 0 0 5 9 】

図 4 は上記図 3 に示した本発明の第 2 の実施の形態に係る情報処理装置の S D R A M コントローラ 6 5 の省電力モードの設定に関わる部分を示すブロック図である。本発明の第 2 の実施の形態に係る情報処理装置の S D R A M コントローラ 6 5 は、S D R A M コントロールレジスタ 7 1 1、S D R A M カウンタレジスタ 7 1 2（時間設定手段）、S D R A M カウンタワークレジスタ 7 1 3 を備えた S D R A M カウンタ 7 1 と、S D R A M 制御シーケンサ 7 2 とを具備している。

## 【0060】

上記構成を詳述すると、S D R A M コントロールレジスタ 7 1 1、S D R A M カウンタレジスタ 7 1 2、S D R A M カウンタワークレジスタ 7 1 3 は、例えば 1 6 ビットのレジスタである。これらのうち S D R A M コントロールレジスタ 7 1 1 及び S D R A M カウンタレジスタ 7 1 2 は、システムバス 6 7 の 1 6 ビットデータ線に接続されており、C P U 6 1 から見るとメモリマップされている。例えば S D R A M コントロールレジスタ 7 1 1 が 0 x F F 1 0 0 0 0 0 番地、S D R A M カウンタレジスタ 7 1 2 が 0 x F F 1 0 0 0 0 4 番地にアサインされている。

## 【0061】

C P U 6 1 が出力するトランザクションが書き込みである場合、S D R A M コントローラ 6 5 は、システムバス 6 7 のアドレス線をデコード回路（図示略）によりデコードし、アドレスが 0 x F F 1 0 0 0 0 0 番地であれば S D R A M コントロールレジスタ 7 1 1 にラッチし、アドレスが 0 x F F 1 0 0 0 0 4 番地であれば S D R A M カウンタレジスタ 7 1 2 にラッチする。

## 【0062】

S D R A M カウンタ 7 1 は、S D R A M コントロールレジスタ 7 1 1 の最下位ビット（B i t 0）に“1”が書き込まれると、S D R A M カウンタレジスタ 7 1 2 の内容を S D R A M カウンタワークレジスタ 7 1 3 に転送し、クロック信号（図示略）により S D R A M カウンタワークレジスタ 7 1 3 の内容を、全ビットが“0”になるまでカウントダウンする。更に、S D R A M カウンタワークレジスタ 7 1 3 の全ビットが“0”且つ S D R A M コントロールレジスタ 7 1 1 の最下位ビット（B i t 0）が“1”の場合にのみ、S D R A M 制御シーケンサ 7 2

へ接続されているSELF要求信号を“1”にする。また、ハードウェア割り込み信号がアサートされた場合は、SDRAMコントロールレジスタ711の最下位ビット（Bit 0）を“0”にリセットする。

## 【0063】

SDRAM制御シーケンサ72は、SELF要求信号が“1”にアサートされた場合、現在実行中のメモリ転送が終了後、直ちにSDRAM63に対してSELFコマンドを発行する。これは、CS信号、RAS信号、CAS信号、CKE信号を全て“0”にドライブし、WE信号を“1”にドライブすることで実行される。SELFコマンドが入力されると、SDRAM63は省電力モードに移行する。

## 【0064】

SELF要求信号が“0”にネゲートされた場合には、SDRAM制御シーケンサ72は、直ちにSELF EXITコマンドをSDRAM63に対して発行する。これは、CS信号だけを“0”にドライブし、他の信号（RAS信号、CAS信号、WE信号、CKE信号）を全て“1”にドライブすることによって行われる。これにより、SDRAM63は通常動作モードに復帰する。

## 【0065】

次に、上記の如く構成された本発明の第2の実施の形態に係る情報処理装置の動作を図3及び図4を参照しながら詳細に説明する。下記の制御は、情報処理装置のROM62に格納されたプログラムに基づきCPU61により実行される。

## 【0066】

最初に、CPU61がCPU自身とSDRAM63の両方を省電力モードに移行させる手順を説明する。まず、CPU61は、SDRAMコントローラ65のSDRAMカウンタレジスタ712にアサインされたアドレスに対して書き込み転送を発生することにより、SDRAMカウンタレジスタ712にカウントダウン開始から省電力モード移行までの時間を設定する。次に、CPU61は、SDRAMコントロールレジスタ711にアサインされたアドレスに対して書き込み転送を発生することにより、SDRAMコントロールレジスタ711の最下位ビット（Bit 0）を“1”に設定する。これにより、SDRAMカウンタ71は

、SDRAMカウンタレジスタ712の内容をSDRAMワークレジスタ713に転送し、そのカウントダウンを開始する。

【0067】

SDRAMカウンタワークレジスタ713の全ビットが“0”になるまで、SELF要求信号は“1”にアサートされないので、この時点ではまだSDRAM63は通常モードで動作している。この間にCPU61は、CPU自身を省電力モードへ移行するためのWAITI命令を実行し、省電力モードへ移行する。その後、SDRAMカウンタワークレジスタ713の全ビットが“0”になり次第、SELF要求信号を“1”にアサートし、SDRAM制御シーケンサ72は、SDRAM63に対してSELFコマンドを発行し、SDRAM63は、省電力モードへ移行する。

【0068】

次に、省電力モードから通常動作モードに復帰する手順を説明する。情報処理装置のスイッチ等が押下され外部トリガが入力されると、割り込みコントローラ66は、ハードウェア割り込みをアサートする。これにより、CPU1は、直ちに通常動作モードに復帰し、SDRAMカウンタ71は、SDRAMコントロールレジスタ711の最下位ビット(Bit0)を“0”にリセットし、SELF要求信号を“0”にネゲートする。のSDRAM制御シーケンサ72は、直ちにSELF EXITコマンドをSDRAM63に対して発行し、SDRAM3は通常動作モードに復帰する。

【0069】

一方、通常動作モードに復帰したCPU61は、直ちに割り込みハンドラの命令をフェッチするために、割り込みベクターアドレスと共に命令フェッチサイクルをシステムバス67上に出力する。SDRAMコントローラ65は、SDRAM63が既に通常動作モードに復帰しているので、直ちに要求された命令をSDRAM63から読み出してシステムバス67上に出力することが可能である。

【0070】

以上説明したように、本発明の第2の実施の形態によれば、通常動作モードから省電力モードへの移行及び省電力モードから通常動作モードへの復帰が可能な

CPU 6 1 と、通常動作モードから省電力モードへの移行及び省電力モードから通常動作モードへの復帰が可能な SDRAM 6 3 とを具備した情報処理装置において、CPU 6 1 より SDRAM 6 3 に対して、通常動作モードから省電力モードへ移行するまでの時間を設定し、CPU 6 1 より SDRAM 6 3 に対して、設定時間後の省電力モードへの移行を指示し、SDRAM 6 3 が前記指示を受けた場合、SDRAM 6 3 を前記設定時間後に省電力モードに移行するように制御するため、下記の効果を奏することができる。

## 【 0 0 7 1 】

高価な専用メモリを装備することなく、省電力モードへの移行時の WAIT I 命令フェッチ時に、SDRAM 6 3 を正常に動作させることが可能となり、また、通常動作モードへの復帰時の割り込みハンドラの命令フェッチを SDRAM 6 3 から正しく行わせることが可能となる。また、ブート後に、ROM 6 2 上にある割り込みハンドラ等をより高速な RAM である SDRAM 6 3 に転送し、キャッシュ領域等を無駄にすることなく、割り込みハンドラを高速に実行することが可能であり、また、ソフトウェアによる複雑な操作が不要である。この結果、安価で高い割り込みパフォーマンスを持つ省電力型の情報処理装置を容易に構築することができる。

## 【 0 0 7 2 】

## 〔第 3 の実施の形態〕

図 5 は本発明の第 3 の実施の形態に係る情報処理装置の電氣的な構成を示すブロック図である。本発明の第 3 の実施の形態に係る情報処理装置は、CPU 8 1（中央処理装置、通知手段、設定手段、移行制御手段）、ROM 8 2、SDRAM 8 3（主記憶装置）、ROM コントローラ 8 4、SDRAM コントローラ 8 5（移行制御手段）、割り込みコントローラ 8 6、システムバス 8 7 を具備している。

## 【 0 0 7 3 】

上記構成を詳述すると、CPU 8 1 は、省電力モード移行命令（WAIT I 命令）を実行することによって省電力モードに移行し、ハードウェア割り込みが入力されると通常動作モードに復帰するような省電力型の中央処理装置である。C



PU81が実行する命令は、ROM82及びSDRAM83に格納されている。SDRAM83には、CPU81の命令実行に必要なデータも格納されている。

## 【0074】

CPU81の命令フェッチ転送は、システムバス87上のトランザクションとして発生し、これを検知したROMコントローラ84及びSDRAMコントローラ85により、それぞれのメモリアクセス転送に変換され、ROM82及びSDRAM83よりシステムバス87上へ送られる。CPU81のデータ転送も、同様にシステムバス87を介してSDRAMコントローラ85により行われる。割り込みコントローラ86は、情報処理装置のスイッチ押下等の外部トリガ入力を受けて、CPU81に対してハードウェア割り込み信号をアサートする。

## 【0075】

図6は上記図5に示した本発明の第3の実施の形態に係る情報処理装置のSDRAMコントローラ85の省電力モードの設定に関わる部分を示すブロック図である。本発明の第3の実施の形態に係る情報処理装置のSDRAMコントローラ85は、SDRAM設定レジスタ91と、ANDゲート92と、SDRAM制御シーケンサ93とを具備している。

## 【0076】

上記構成を詳述すると、SDRAM設定レジスタ91は、例えば16ビットのレジスタであり、システムバス87の16ビットデータ線に接続されている。このSDRAM設定レジスタ91は、CPU81から見るとメモリマップされており、例えば0xFF100000番地にアサインされている。SDRAMコントローラ85は、システムバス87のアドレス線をデコード回路（図示略）によりデコードし、CPU81が出力するトランザクションのアドレスが0xFF100000番地であり且つ書き込みトランザクションである場合、システムバス87のデータ線上のデータをSDRAM設定レジスタ91にラッチする。

## 【0077】

SDRAM設定レジスタ91の最下位ビット（Bit0）の出力は、SELF許可信号として2入力のANDゲート92の一方の入力に接続されている。ANDゲート92のもう一方の入力には、CPU81が省電力モードに遷移した後で

あることを示す信号であるWAITI信号が接続されている。ANDゲート92の出力は、SELF要求信号としてSDRAM制御シーケンサ93に接続されている。

## 【0078】

SDRAM制御シーケンサ93は、SELF要求信号が“1”にアサートされると、現在実行中のメモリ転送が終了すると直ちにSDRAM83に対してSELFコマンドを発行する。これは、CS信号、RAS信号、CAS信号、CKE信号を全て“0”にドライブし、WE信号を“1”にドライブすることで実行される。SELFコマンドが入力されると、SDRAM83は省電力モードに遷移する。

## 【0079】

次に、上記の如く構成された本発明の第3の実施の形態に係る情報処理装置の動作を図5及び図6を参照しながら詳細に説明する。下記の制御は、情報処理装置のROM82に格納されたプログラムに基づきCPU81により実行される。

## 【0080】

最初に、CPU81がCPU自身とSDRAM83の両方を省電力モードに移行させる手順を説明する。まず、CPU81は、SDRAMコントローラ85のSDRAM設定レジスタ91に書き込み転送を発生し、システムバス87のデータ線Bit0を“1”にドライブすることにより、SELF許可信号を“1”に設定する。この時点では、SDRAMコントローラ85は直ちにはSELFコマンドを発行しない。従って、CPU81は、通常動作モードにおいて最後に実行される命令であるWAITIをSDRAM83よりフェッチすることが可能である。

## 【0081】

CPU81がWAITI命令を実行して省電力モードへの遷移が終了すると、省電力モード通知信号であるWAITI信号が“1”にアサートされる。その結果、SELF要求信号が“1”となり、SDRAM制御シーケンサ93は、SDRAM83に対してSELFコマンドを発行し、SDRAM83は省電力モードに移行する。

## 【 0 0 8 2 】

次に、省電力モードから通常動作モードに復帰する手順を説明する。情報処理装置のスイッチ等が押下され外部トリガが入力されると、割り込みコントローラ 8 6 は、CPU 8 1 に対してハードウェア割り込みをアサートする。割り込みが入力されると、CPU 8 1 は直ちに通常動作モードに復帰して、省電力モード通知信号 (WAITI 信号) を “0” にネゲートする。

## 【 0 0 8 3 】

その結果、SDRAMコントローラ 8 5 のSELF要求信号がネゲートされるので、SDRAMコントローラ 8 5 のSDRAM制御シーケンサ 9 3 は、直ちにSELF EXITコマンドをSDRAM 8 3 に対して発行する。これは、CS信号だけを “0” にドライブし、他の信号 (RAS信号、CAS信号、WE信号、CKE信号) を全て “1” にドライブすることによって行われる。これにより、SDRAM 8 3 は通常動作モードに復帰する。

## 【 0 0 8 4 】

一方、通常動作モードに復帰したCPU 8 1 は、直ちに割り込みハンドラの命令をフェッチするために、割り込みベクターアドレスと共に命令フェッチサイクルをシステムバス 8 7 上に出力する。SDRAMコントローラ 8 5 は、SDRAM 8 3 が既に通常動作モードに復帰しているので、直ちに要求された命令をSDRAM 8 3 から読み出してシステムバス 8 7 上に出力することが可能である。

## 【 0 0 8 5 】

以上説明したように、本発明の第 3 の実施の形態によれば、通常動作モードから省電力モードへの移行及び省電力モードから通常動作モードへの復帰が可能なCPU 8 1 と、通常動作モードから省電力モードへの移行及び省電力モードから通常動作モードへの復帰が可能なSDRAM 8 3 とを具備した情報処理装置において、CPU 8 1 が省電力モードに移行したことを通知し、CPU 8 1 がSDRAM 8 3 を通常動作モードから省電力モードに切り替えることを許可するための設定を行い、SDRAM 8 3 の省電力モードへの切り替えが許可された後に前記通知手段からの通知を検知した場合、SDRAM 8 3 を省電力モードに移行するように制御するため、下記の効果を奏することができる。

## 【 0 0 8 6 】

高価な専用メモリを装備することなく、省電力モードへの遷移時のWAITI命令フェッチ時に、SDRAM83を正常に動作させることが可能となり、また、通常動作モードへの復帰時の割り込みハンドラの命令フェッチをSDRAM83から正しく行わせることが可能となる。また、キャッシュ領域等が無駄にすることなく、割り込みハンドラを高速なRAM上に常駐させることが可能であるため、高いパフォーマンスを保つことが可能であり、また、ソフトウェアによる複雑な操作が不要である。この結果、安価で高い割り込みパフォーマンスを持つ省電力型の情報処理装置を容易に構築することができる。

## 【 0 0 8 7 】

## 〔他の実施の形態〕

本発明の上記第1～第3の実施の形態では、本発明が適用される情報処理装置の種類については特に言及しなかったが、本発明は、デスクトップ型パーソナルコンピュータ、ノート型パーソナルコンピュータ、携帯情報端末、ワークステーション等、種々の情報処理装置に適用可能である。

## 【 0 0 8 8 】

また、本発明の上記第1～第3の実施の形態では、情報処理装置単体の場合を例に上げたが、本発明は、本発明が適用される情報処理装置と、複写機やプリンタ等の画像形成装置、スキャナ等の画像読取装置等をネットワーク等の通信媒体を介して接続したシステムにも適用可能である。

## 【 0 0 8 9 】

図8は本発明の省電力移行制御方法を実行するプログラム及び関連データが記憶媒体から装置に供給される概念例を示す説明図である。本発明の省電力移行制御方法を実行するプログラム及び関連データは、フロッピー（登録商標）ディスクやCD-ROM等の記憶媒体111をコンピュータ等の装置112に装備された記憶媒体ドライブ挿入口113に挿入することで供給される。その後、プログラム及び関連データを記憶媒体111から一旦ハードディスクにインストールしハードディスクからRAMにロードするか、或いはハードディスクにインストールせずに直接RAMにロードすることで、プログラム及び関連データを実行する

ことが可能となる。

【0090】

この場合、本発明の第1～第3の実施の形態に係る情報処理装置において、本発明の省電力移行制御方法を実行するプログラムを実行させる場合は、例えば上記図8を参照して説明したような手順で情報処理装置に当該プログラム及び関連データを供給するか、或いは情報処理装置に予め当該プログラム及び関連データを格納しておくことで、プログラム実行が可能となる。

【0091】

図7は本発明の省電力移行制御方法を実行するプログラム及び関連データを記憶した記憶媒体の記憶内容の構成例を示す説明図である。記憶媒体は、例えばボリューム情報101、ディレクトリ情報102、プログラム実行ファイル103、プログラム関連データファイル104等の記憶内容で構成される。本発明の省電力移行制御方法を実行するプログラムは、本発明の第1～第3の実施の形態の上述した制御手順に基づきプログラムコード化されたものである。

【0092】

尚、本発明は、複数の機器から構成されるシステムに適用しても、1つの機器からなる装置に適用してもよい。上述した実施形態の機能を実現するソフトウェアのプログラムコードを記憶した記憶媒体を、システム或いは装置に供給し、そのシステム或いは装置のコンピュータ（またはCPUやMPU）が記憶媒体等の媒体に格納されたプログラムコードを読み出し実行することによっても、達成されることは言うまでもない。

【0093】

この場合、記憶媒体等の媒体から読み出されたプログラムコード自体が上述した実施形態の機能を実現することになり、そのプログラムコードを記憶した記憶媒体等の媒体は本発明を構成することになる。プログラムコードを供給するための記憶媒体等の媒体としては、例えば、フロッピー（登録商標）ディスク、ハードディスク、光ディスク、光磁気ディスク、CD-ROM、CD-R、磁気テープ、不揮発性のメモリカード、ROM、或いはネットワークを介したダウンロードなどを用いることができる。

## 【0094】

また、コンピュータが読み出したプログラムコードを実行することにより、上述した実施形態の機能が実現されるだけでなく、そのプログラムコードの指示に基づき、コンピュータ上で稼働しているOSなどが実際の処理の一部または全部を行い、その処理によって上述した実施形態の機能が実現される場合も含まれることは言うまでもない。

## 【0095】

更に、記憶媒体等の媒体から読出されたプログラムコードが、コンピュータに挿入された機能拡張ボードやコンピュータに接続された機能拡張ユニットに備わるメモリに書込まれた後、そのプログラムコードの指示に基づき、その機能拡張ボードや機能拡張ユニットに備わるCPUなどが実際の処理の一部または全部を行い、その処理によって上述した実施形態の機能が実現される場合も含まれることは言うまでもない。

## 【0096】

## 【発明の効果】

以上説明したように、請求項1～3記載の省電力移行制御装置、請求項4～6記載の情報処理装置、請求項7～9記載の省電力移行制御方法、請求項10～12記載の記憶媒体によれば、通常動作モードから省電力モードへの移行及び省電力モードから通常動作モードへの復帰が可能な中央処理装置と、通常動作モードから省電力モードへの切り替えが可能な主記憶装置とを具備した情報処理装置において、中央処理装置が確実に省電力モードに移行した後に主記憶装置を省電力モードへ移行させることで、高価な専用メモリを装備することなく且つ複雑なソフトウェアの処理を必要とすることなく、省電力モードへの遷移時の省電力モード移行命令のフェッチ時に、主記憶装置を正常に動作させることが可能となり、また、通常動作モードへの復帰時の割り込みハンドラの命令フェッチを主記憶装置から正しく行わせることが可能となる。また、キャッシュ領域等を無駄にすることなく、割り込みハンドラを高速なRAM上に常駐させることが可能であるため、高いパフォーマンスを保つことが可能であり、また、ソフトウェアによる複雑な操作が不要である。この結果、安価で高い割り込みパフォーマンスを持つ省

電力型の情報処理装置を容易に構築することができる。

【 0 0 9 7 】

また、請求項 1 3、1 4 記載の省電力移行制御装置、請求項 1 5、1 6 記載の情報処理装置、請求項 1 7、1 8 記載の省電力移行制御方法、請求項 1 9、2 0 記載の記憶媒体によれば、主記憶装置が通常動作モードから省電力モードへ移行するまでの設定時間後の省電力モードへの移行指示を受けた場合、主記憶装置を前記設定時間後に省電力モードに移行するように制御することで、高価な専用メモリを装備することなく、省電力モードへの移行時の W A I T I 命令フェッチ時に、主記憶装置を正常に動作させることが可能となり、また、通常動作モードへの復帰時の割り込みハンドラの命令フェッチを主記憶装置から正しく行わせることが可能となる。また、ブート後に、ROM 上にある割り込みハンドラ等をより高速な R A M である主記憶装置に転送し、キャッシュ領域等は無駄にすることなく、割り込みハンドラを高速に実行することが可能であり、また、ソフトウェアによる複雑な操作が不要である。この結果、安価で高い割り込みパフォーマンスを持つ省電力型の情報処理装置を容易に構築することができる。

【 0 0 9 8 】

また、請求項 2 1、2 2 記載の省電力移行制御装置、請求項 2 3、2 4 記載の情報処理装置、請求項 2 5、2 6 記載の省電力移行制御方法、請求項 2 7、2 8 記載の記憶媒体によれば、主記憶装置の省電力モードへの切り替えが許可された後に、中央処理装置が省電力モードに移行したことを通知する通知手段からの通知を検知した場合、主記憶装置を省電力モードに移行するように制御することで、高価な専用メモリを装備することなく、省電力モードへの遷移時の省電力モード移行命令のフェッチ時に、主記憶装置を正常に動作させることが可能となり、また、通常動作モードへの復帰時の割り込みハンドラの命令フェッチを主記憶装置から正しく行わせることが可能となる。また、キャッシュ領域等は無駄にすることなく、割り込みハンドラを高速な R A M 上に常駐させることが可能であるため、高いパフォーマンスを保つことが可能であり、また、ソフトウェアによる複雑な操作が不要である。この結果、安価で高い割り込みパフォーマンスを持つ省電力型の情報処理装置を容易に構築することができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態に係る情報処理装置の電氣的な構成を示すブロック図である。

【図 2】

本発明の第 1 の実施の形態に係る情報処理装置の S D R A M コントローラの内部構造を示すブロック図である。

【図 3】

本発明の第 2 の実施の形態に係る情報処理装置の電氣的な構成を示すブロック図である。

【図 4】

本発明の第 2 の実施の形態に係る情報処理装置の S D R A M コントローラの内部構造を示すブロック図である。

【図 5】

本発明の第 3 の実施の形態に係る情報処理装置の電氣的な構成を示すブロック図である。

【図 6】

本発明の第 3 の実施の形態に係る情報処理装置の S D R A M コントローラの内部構造を示すブロック図である。

【図 7】

本発明の省電力モード移行制御方法を実行するプログラム及び関連データを記憶した記憶媒体の記憶内容の構成例を示す説明図である。

【図 8】

本発明の省電力モード移行制御方法を実行するプログラム及び関連データが記憶媒体から装置に供給される概念例を示す説明図である。

【符号の説明】

- 1、6 1、8 1    C P U
- 2、6 2、8 2    R O M
- 3、6 3、8 3    S D R A M

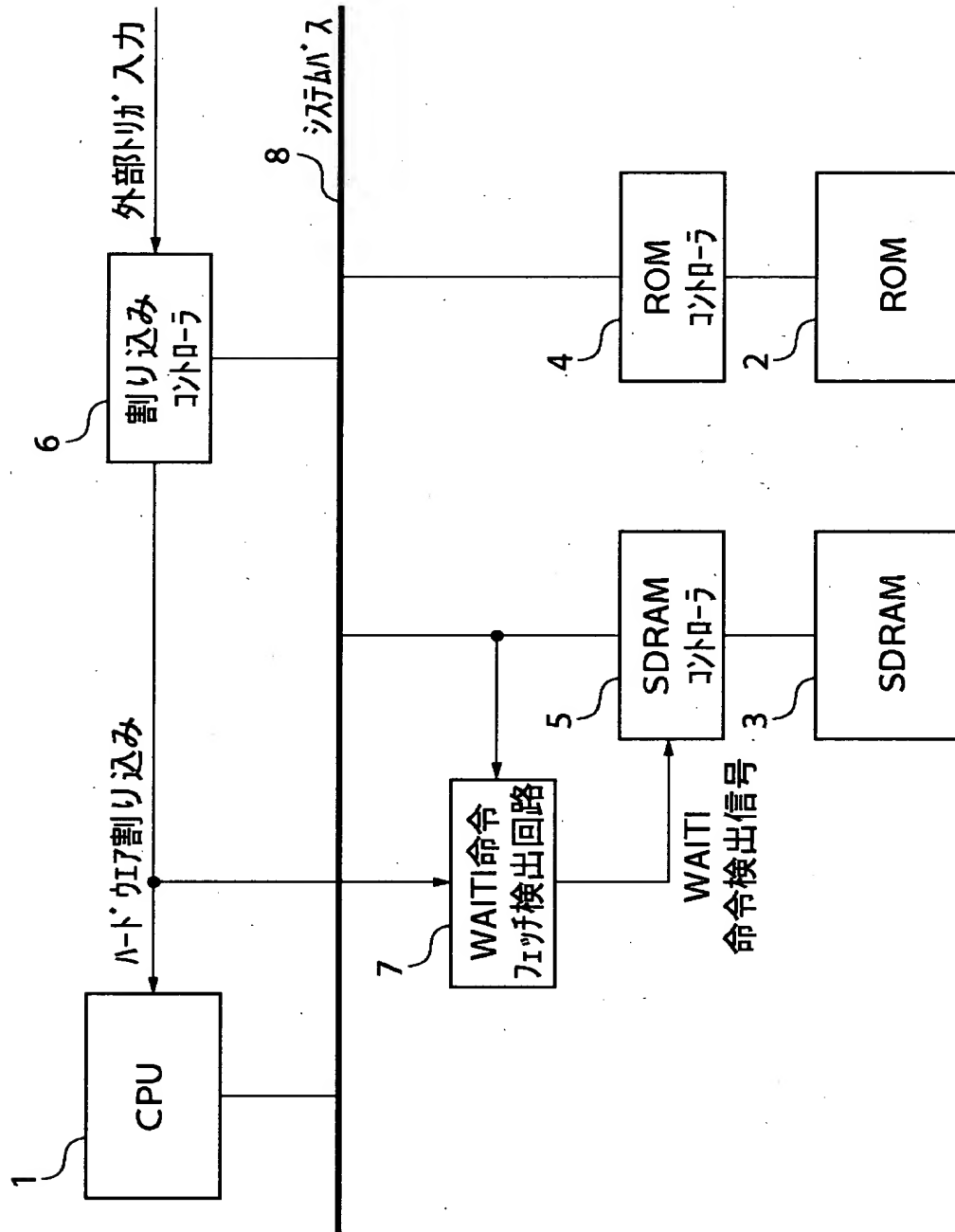


- 4、64、84 ROMコントローラ
- 5、65、85 SDRAMコントローラ
- 6、66、86 割り込みコントローラ
- 7 WAITI 命令フェッチ検出回路
- 51、91 SDRAM設定レジスタ
- 52、92 ANDゲート
- 53、93 SDRAM制御シーケンサ
- 71 SDRAMカウンタ
- 72 SDRAM制御シーケンサ
- 711 SDRAMコントロールレジスタ
- 712 SDRAMカウンタレジスタ
- 713 SDRAMカウンタワークレジスタ

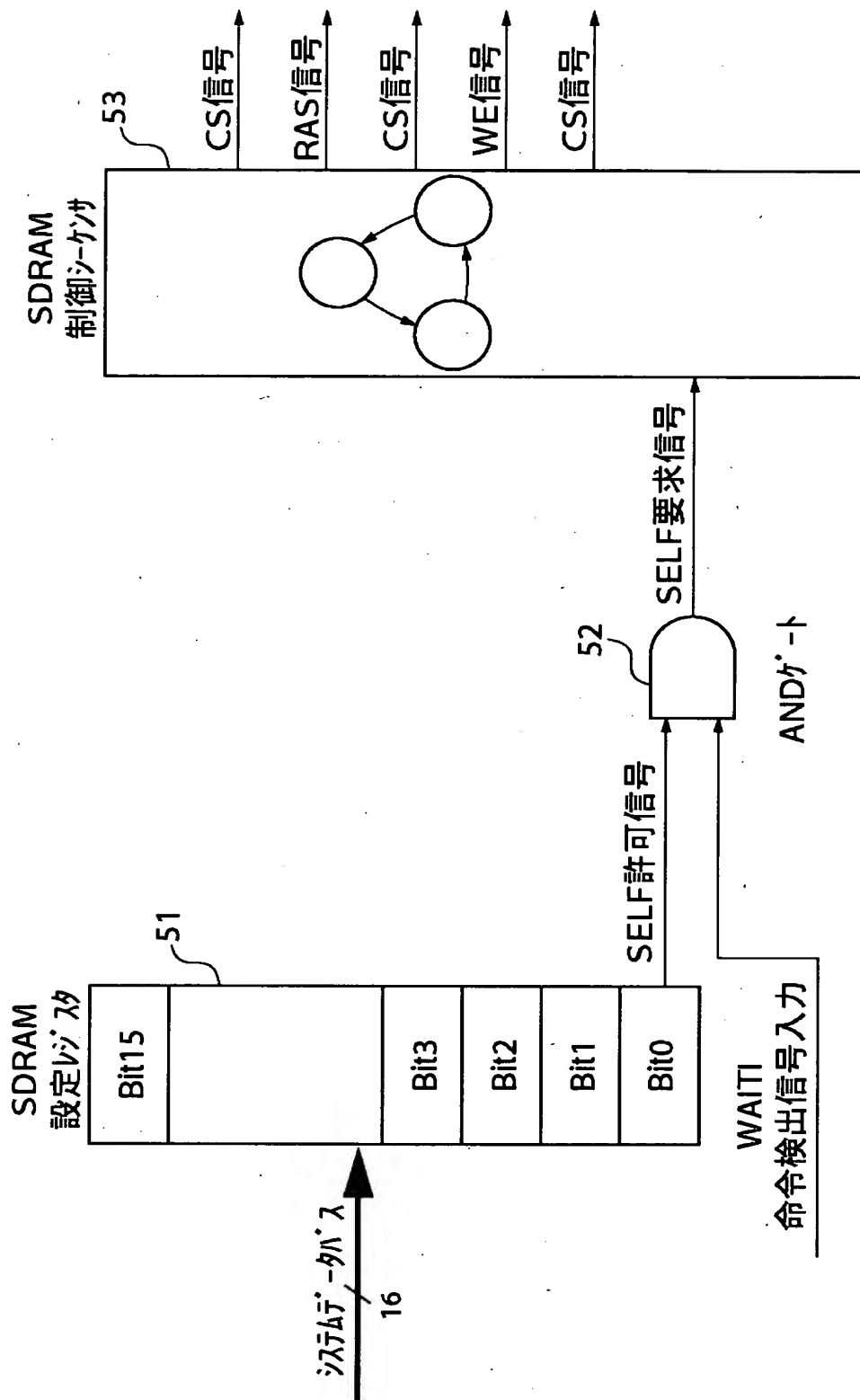
【書類名】

図面

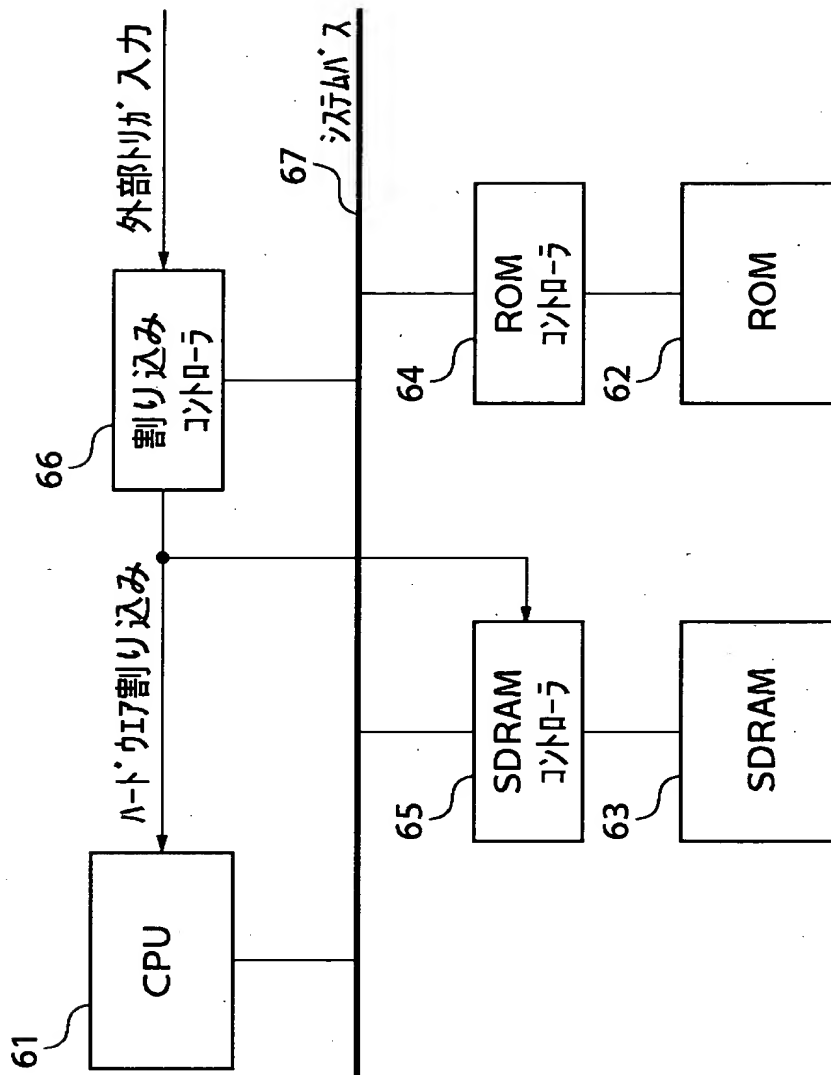
【図 1】



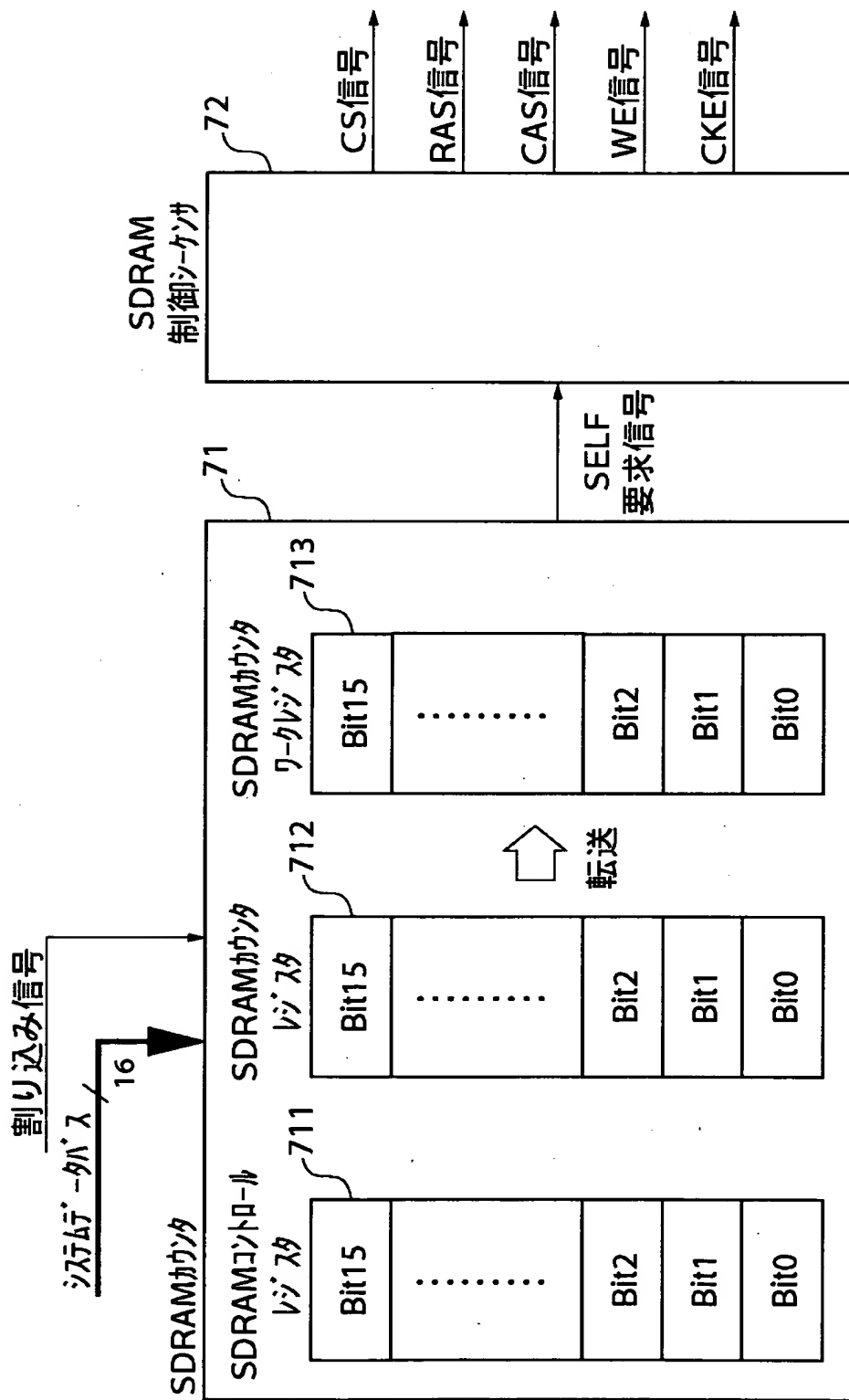
【図 2】



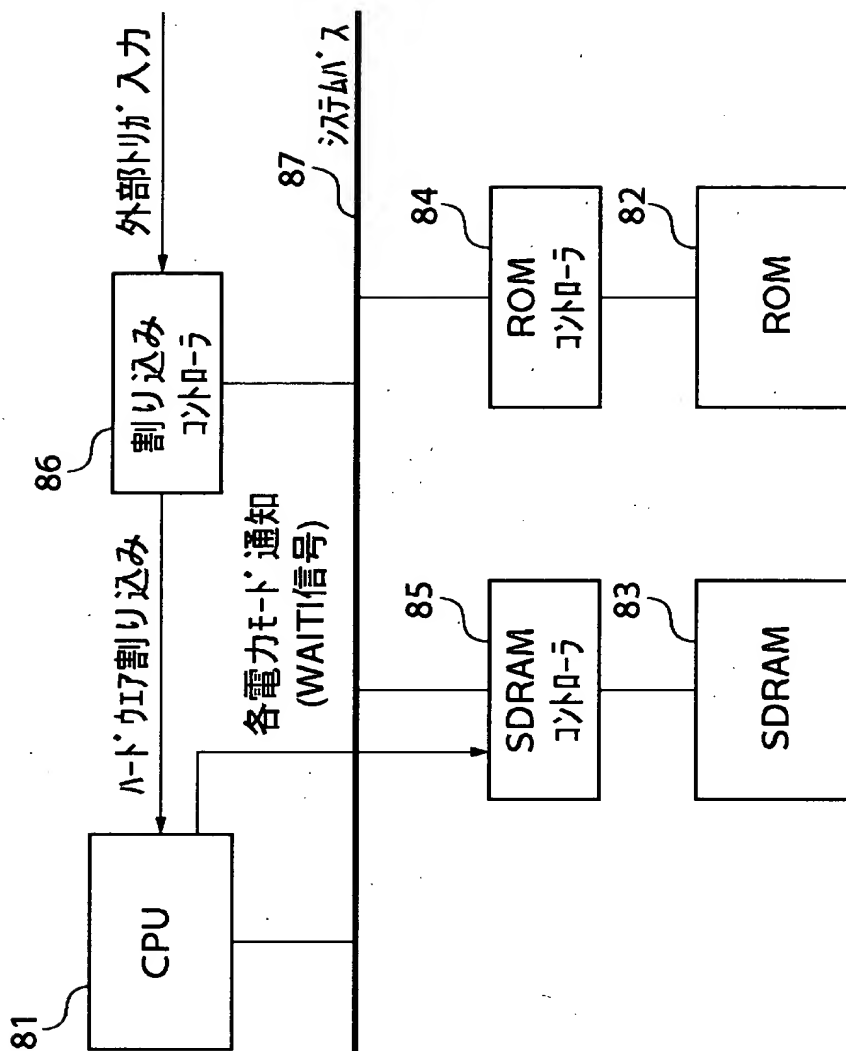
【図 3】



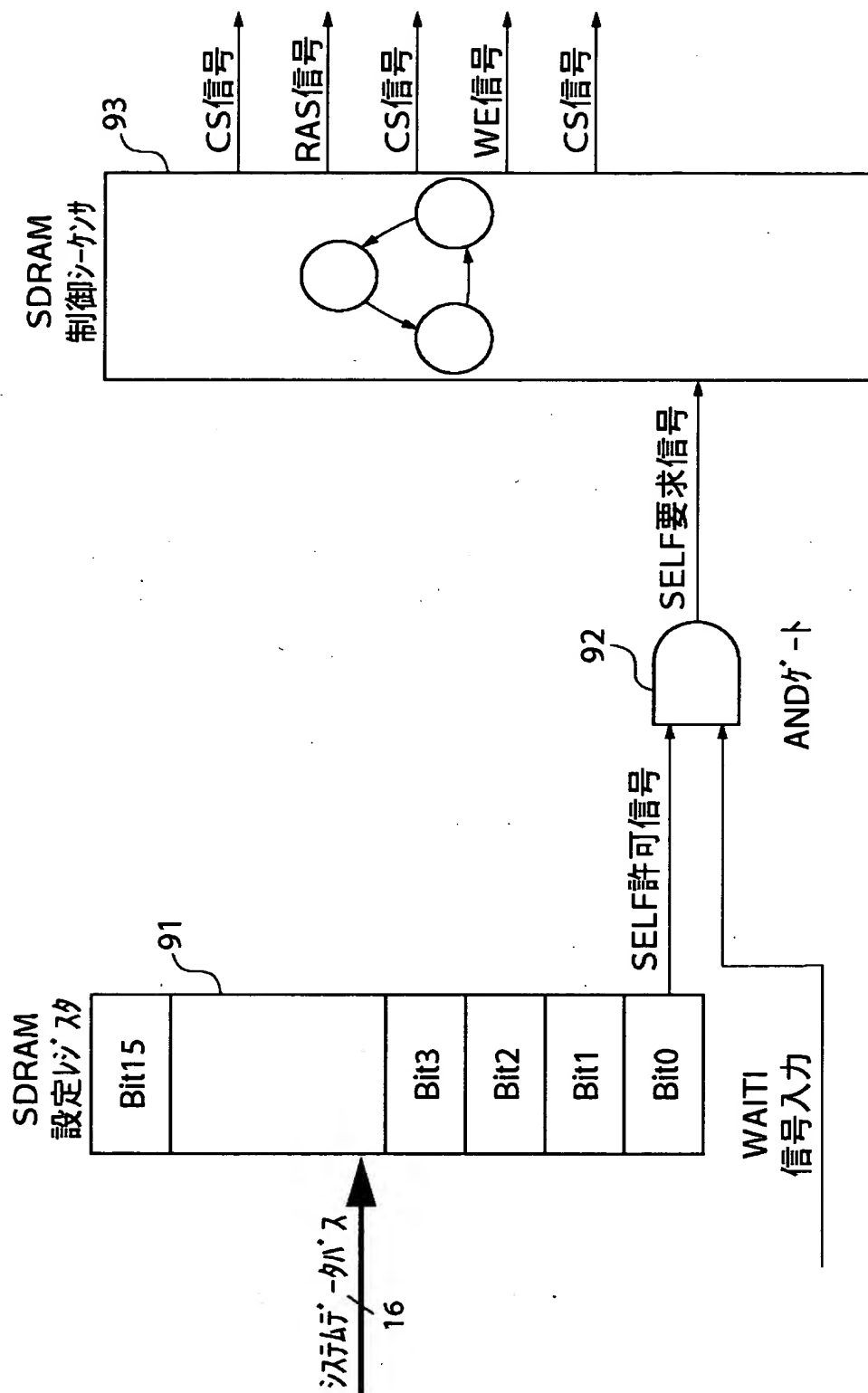
【図 4】



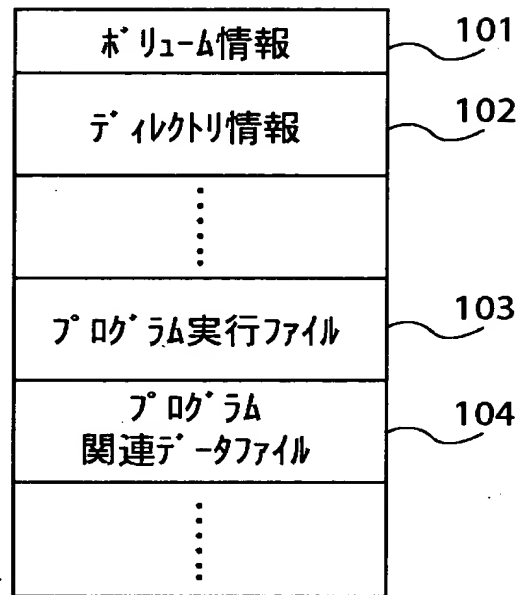
【図 5】



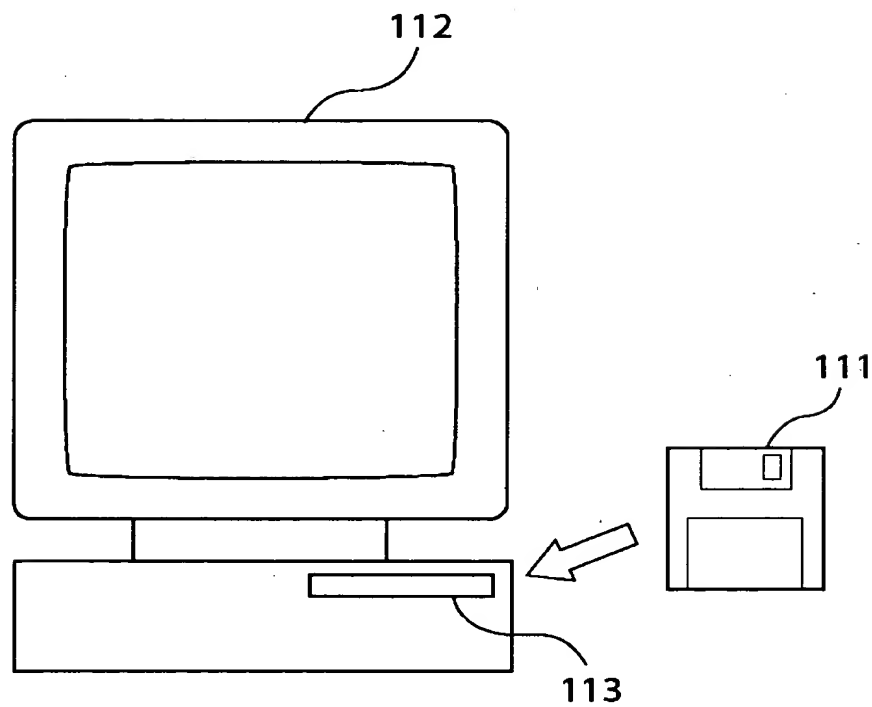
【図 6】



【図 7】



【図 8】





【書類名】 要約書

【要約】

【課題】 高価な専用のメモリを装備することなく且つ複雑なソフトウェアの処理を必要とすることなく、安価で高い割り込みパフォーマンスを持つ省電力型の情報処理装置を容易に構築可能とした省電力移行制御装置、情報処理装置、省電力移行制御方法及び記憶媒体を提供する。

【解決手段】 SDRAMコントローラ5のSDRAM設定レジスタ51がSDRAM3の通常動作モードから省電力モードへの切り替えを許可するSELF許可信号を出力した後、WAITI命令フェッチ検出回路7がWAITI命令検出信号を出力した場合、SDRAM3を省電力モードに移行させ、SDRAM3が省電力モードにある場合でCPU1が外部割り込みを検出した場合、SDRAM3をSDRAM設定レジスタ51の設定に関わらず通常動作モードに復帰させる。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2001-184981
受付番号	50100885329
書類名	特許願
担当官	第七担当上席 0096
作成日	平成 13 年 6 月 27 日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000001007
【住所又は居所】	東京都大田区下丸子 3 丁目 30 番 2 号
【氏名又は名称】	キヤノン株式会社

【代理人】

【識別番号】	100081880
【住所又は居所】	東京都港区虎ノ門 1 丁目 17 番 1 号 虎ノ門 5 森ビル 渡部国際特許事務所
【氏名又は名称】	渡部 敏彦

出 願 人 履 歴 情 報

識別番号 [000001007]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都大田区下丸子3丁目30番2号  
氏 名 キヤノン株式会社